

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-325500

(43)公開日 平成6年(1994)11月25日

(51) Int.Cl.<sup>5</sup>

G 1 1 B 20/14

識別記号

庁内整理番号

3 5 1 A 7736-5D

3 2 1 A 7736-5D

FI

### 技術表示箇所

審査請求 未請求 請求項の数3 FD (全 9 頁)

(21)出願番号

特願平5-135114

(22) 出題日

平成5年(1993)5月14日

(71)出題人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 平松 誠

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

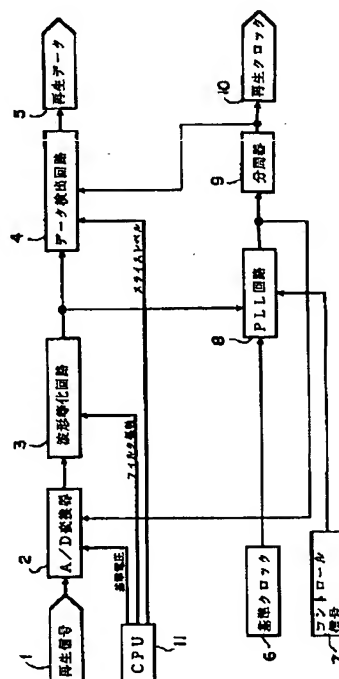
(74) 代理人 弁理士 山下 穰平

(54) 【発明の名称】 情報再生装置

(57) 【要約】

**【目的】** 高速のA/Dコンバータを要することなく再生クロックと抽出できるようにし、再生信号の波形等化特性をデジタル信号処理によって簡単に変えられるようにする。

【構成】 再生信号をサンプリングして得られたデジタルデータがスライスレベルに対して所定の範囲内にあることを検出して再生信号のスライスレベルに対するエッジを検出するためのエッジ検出手段と、このエッジ検出手段で検出されたエッジ位置でのデジタルデータと前記スライスレベルの差を検出するためのレベル差検出手段と、このレベル差検出手段で検出されるレベル差に応じてクロック信号の発振周波数が制御される電圧制御発振手段とを備え、この電圧制御発振手段で得られたクロック信号によって前記再生信号をサンプリングすると共に、前記クロック信号をもとに前記再生データを検出するための再生用クロックを作成する。



**【特許請求の範囲】**

【請求項1】 情報記録媒体から読み出された再生信号をデジタル化して信号処理を行い再生データを検出する情報再生装置であって、前記再生信号をサンプリングして得られたデジタルデータがスライスレベルに対して所定の範囲内にあることを検出して再生信号のスライスレベルに対するエッジを検出するためのエッジ検出手段と、このエッジ検出手段で検出されたエッジの位置でのデジタルデータと前記スライスレベルの差を検出するためのレベル差検出手段と、このレベル差検出手段で検出されるレベル差に応じてクロック信号の発振周波数が制御される電圧制御発振手段とを備え、この電圧制御発振手段で得られたクロック信号によって前記再生信号をサンプリングすると共に、前記クロック信号をもとに前記再生データを検出するための再生用クロックを作成することを特徴とする情報再生装置。

【請求項2】 前記再生用クロックは、前記クロック信号を分周して、あるいはクロック信号をそのまま再生用クロックとして作成されることを特徴とする請求項1の情報再生装置。

【請求項3】 前記サンプリング用として作成されるクロック信号の周波数は、再生データの持っているデータクロックの2倍以下であることを特徴とする請求項1の情報再生装置。

**【発明の詳細な説明】****【0001】**

【産業上の利用分野】 本発明は、情報記録媒体に記録された情報を再生する情報再生装置に関するものである。

**【0002】**

【従来の技術】 従来、情報記録再生装置においては、情報を再生する場合、記録媒体から読み出された再生信号はアナログで波形等化され、その後2値化される。そして、2値化後にPLLをかけて再生クロックが抽出され、得られた再生クロックを用いて再生データが検出される。図6はこうしたデータ再生装置の一例を示したブロック図、図7は図6の各部の信号を示した信号波形図である。以下、図6、図7に基づいて従来のデータ再生装置を説明する。図中の101は光ディスクなどの情報記録媒体から読み出された再生信号であり、前述のように波形等化回路102で波形等化された後、2値化回路103で所定のスライスレベルで2値化される。図7(a)はその記録媒体から読み出された再生信号を示しており、これを波形等化後に所定のスライスレベルで2値化すると、図7(b)に示すような2値化信号が生成される。

【0003】 2値化信号はPLL回路108へ入力され、ここで2値化信号と位相を比較することで、図7(c)に示すような再生クロック109が抽出される。また、データ検出回路104では2値化信号を再生クロックで検知することによって再生データ105が生成さ

れる。なお、PLL回路108は図示しない主制御回路から送られるコントロール信号によって、再生信号が入力される前は再生クロックは基準クロックにロックするように制御される。図8はPLL回路108の具体的構成を示したブロック図で、110はコントロール信号107によって制御される切換スイッチである。再生信号101が入力されていない状態、即ち装置の動作モードが再生モードではない場合は、切換スイッチ110はコントロール信号107によってb側に接続され、PLL回路108の位相比較器111に基準クロック106を入力することで、再生クロック109は基準クロック106にロックされる。そして、動作モードが再生モードになると、コントロール信号107により切換スイッチ110はa側に接続され、位相比較器111に2値化信号が入力される。

【0004】 位相比較器111では、図7(c)の再生クロック109と2値化信号の位相が比較され、図7(d)に示すように2つの信号の位相差を示す位相比較信号が生成される。得られた位相比較信号はチャージポンプ回路112へ出力され、図7(e)に示すように位相差に比例した電圧値の信号に変換される。チャージポンプ回路112の出力信号は更にVCO (Voltage Control Oscillator) 113へ出力され、ここでチャージポンプ出力の電圧に比例して周波数を変えることによって、再生クロック109が抽出される。こうしてPLL回路108では再生クロック109が生成され、データ検出回路104では前述のように再生クロック109を用いて再生データが生成される。

**【0005】**

【発明が解決しようとしている課題】 従来の情報記録再生装置では、情報記録媒体が交換されたり、情報の転送レートが変更されたりした場合、再生信号の品位や周波数特性が変わるために、波形等化回路の特性も変更しなければならない。しかし、上記従来のデータ再生装置ではアナログ的に再生信号を波形等化するために、波形等化の特性を変更するには回路構成が複雑化し、装置のコストアップを招くという問題があった。そこでこの問題の解決法として、例えば再生信号をA/D変換してデジタル信号処理で再生データや再生クロックを検出するという方法が考えられてはいるが、従来のような再生クロックの抽出方法ではデジタル的に位相を比較しようとした場合、データクロックの10倍以上のサンプリングクロックが必要であるために、高速のA/Dコンバータが必要となり、かえってコストアップを招くという問題があった。

【0006】 本発明は、このような問題点を解消するためになされたもので、高速のA/Dコンバータを要することなく再生クロックを抽出できるようにし、これによって再生信号の波形等化特性をデジタル信号処理によって簡単に変えられるようにした情報再生装置を提供する

ことを目的としたものである。

【0007】

【課題を解決するための手段】本発明の目的は、情報記録媒体から読み出された再生信号をデジタル化して信号処理を行い再生データを検出する情報再生装置であって、前記再生信号をサンプリングして得られたデジタルデータがスライスレベルに対して所定の範囲内にあることを検出して再生信号のスライスレベルに対するエッジを検出するためのエッジ検出手段と、このエッジ検出手段で検出されたエッジの位置でのデジタルデータと前記スライスレベルの差を検出するためのレベル差検出手段と、このレベル差検出手段で検出されるレベル差に応じてクロック信号の発振周波数が制御される電圧制御発振手段とを備え、この電圧制御発振手段で得られたクロック信号によって前記再生信号をサンプリングすると共に、前記クロック信号をもとに前記再生データを検出するための再生用クロックを作成することを特徴とする情報再生装置によって達成される。

【0008】

【実施例】以下、本発明の実施例について図面を参照して詳細に説明する。図1は本発明の情報再生装置の一実施例を示したブロック図である。図1において、2は情報記録媒体から読み出された再生信号1を所定のサンプリングポイントでサンプリングしてデジタル信号に変換するためのA/D変換器である。再生信号1は図示しない光ディスクなどの情報記録媒体から光学的に再生された信号であり、A/D変換器2でCPU11から指示された基準電圧に基づいてアナログ信号からデジタルのデータ信号列に変換される。3はデジタルフィルタから構成された波形等化回路、4は波形等化回路3のデータとCPU11から与えられたスライスレベルを比較して再生データ5を検出するためのデータ検出回路である。CPU11は装置全体を制御するもので、前述のようにA/D変換器2に基準電圧、波形等化回路3にフィルタ係数、データ検出回路4にスライスレベルが出力され、これによってAGC(Auto Gain Control)特性、波形等化特性、データ検出特性がそれぞれ制御される。8はサンプリングクロックを抽出するためのPLL回路、9はPLL回路8のサンプリングクロックを分周して再生クロック10を生成するための分周器である。PLL回路8には図示しない主制御回路から基準クロック6、コントロール信号7が送られる。

【0009】図2はPLL回路8の具体的な構成を示したブロック図である。図2において12は位相比較機能を有するレベル検出回路であり、サンプリングされた再生信号のデータのスライスレベルに対するエッジを検出すると共に、再生信号のサンプリングクロックに対する位相差を検出するものである。13はレベル検出回路12の出力をアナログ信号に変換するためのD/A変換器、16はコントロール信号7によって制御される切

スイッチである。また、14は位相比較器、15はチャージポンプ回路、17はVCO(電圧制御発振器)であり、これらはいずれも図8に示したものと同一である。

【0010】次に、上記実施例の動作を図3のタイムチャートに基づいて説明する。まず、再生信号が入力されていない状態、即ち装置の動作モードが再生モードではない場合は、切換スイッチ16はコントロール信号7によってb側に接続される。従って、このときは位相比較器14に基準クロック6が入力され、従来と同様に再生クロックは基準クロック6にロックされる。一方、装置の動作モードが再生モードになると、コントロール信号7により切換スイッチ16はa側に切り換えられる。これにより、図3(a)に示すように波形等化回路3で波形等化された再生信号が黒丸で示すサンプリングポイントでサンプリングされ、デジタルデータ列としてレベル検出回路12に取り込まれる。再生信号は図3(b)のサンプリングクロックによってサンプリングされる。

【0011】レベル検出回路12では、図3(a)に示すように再生信号のスライスレベルに対して所定の電圧範囲 $V_1 \sim V_2$ が決められており、この電圧範囲に再生信号があったときに再生信号のスライスレベルに対するエッジが検出される。また、レベル検出回路12では検出したエッジ位置において再生信号データとスライスレベルの差が検出され、得られた信号が図3(c)に示すようにレベル差検出信号としてD/A変換器13へ出力される。D/A変換器13ではレベル検出回路12の出力がアナログ信号に変換され、図3(d)に示すようにレベル差に応じたアナログ信号として切換スイッチ16を介してVCO17に出力される。

【0012】この場合、図3(c)のレベル差検出回路12の出力信号の前後のサンプリングクロックから再生信号のスライスレベルに対するエッジが立ち上がりエッジであるのか立ち下がりエッジであるのか、即ち再生信号の位相がサンプリングクロックに対して進んでいるのか遅れているのかが判断され、その結果に応じてD/A変換器13の出力が反転される。つまり、D/A変換器13の出力はアナログ回路の位相比較器の位相比較信号と同様に再生信号とクロック信号の位相差に応じた信号としてVCO17へ出力される。VCO17では入力されたレベル差信号に応じて発振周波数を制御し、再生信号をサンプリングするためのサンプリングクロックとして出力される。また、このサンプリングクロックは分周器9で2倍に分周され、図3(e)に示すように再生クロックが生成される。得られた再生クロックはデータ検出回路4に出力され、データ検出回路4では再生クロックを用いて再生データ5が検出される。

【0013】本実施例では、サンプリングされた再生信号のデジタルデータがスライスレベルに対して予め決められた所定の電圧範囲内にあるときに再生信号のスライスレベルに対するエッジを検出すると共に、このエッジ

位置におけるデジタルデータとスライスレベルのレベル差を検出し、このレベル差に応じてVCOの周波数を制御してサンプリングクロックの周波数を制御したことにより、デジタル的に再生信号をサンプリングクロックの位相差を比較してアナログ回路のPLL回路と全く同等のデジタル信号処理によるPLL機能を持たせることができる。従って情報再生の信号処理をデジタル化した場合に、データクロックの10倍以上のサンプリングクロックを要することなく、再生クロックを抽出することができ、高速のA/Dコンバータなしで情報再生をデジタル化することができる。特に、波形等化回路をデジタル回路で構成して情報記録媒体の交換や情報の転送レートの変更などに応じて波形等化特性を変更する場合、前述のように高速のA/Dコンバータが不要であるために、コスト高になることなくデジタル化が可能となる。また、このデジタル化によって波形等化回路の特性を変更する場合に、アナログ回路に比べて回路構成を大幅に簡単化することができる。更に、本実施例ではデータクロックのわずか2倍の周波数のクロック信号でデータをサンプリングすることができる。

【0014】図4は本発明の情報再生装置の他の実施例を示したブロック図である。図4では図1の実施例と同一部分は同一符号を付して説明を省くことにする。なお、この実施例では記録符号としてNRZI変換を採用するものとする。NRZI変換の場合、エッジの位置に記録データの“1”が対応しているのでその位置を検出すればよく、従ってここでも図1、図2の実施例と同様にレベル検出回路12によって再生信号のスライスレベルに対するエッジの位置が検出される。但し、本実施例ではサンプリングクロックとデータからの再生クロックが一致することになるので、更にサンプリングクロックの周波数を低くすることができる。

【0015】図5(a)は波形等化回路3の再生信号、図5(b)はサンプリングクロックであり、再生信号はサンプリングクロックでサンプリングされ、デジタルデータとしてPLL回路8のレベル検出回路12に取り込まれる。レベル検出回路12では図1の実施例と同様に再生信号が予め決められた電圧範囲 $V_1 \sim V_2$ の間にあるときに再生信号のスライスレベルに対するエッジが検出される。また、レベル検出回路12ではそのエッジ位置での再生信号のレベルとスライスレベルのレベル差が検出され、図5(c)に示すようにレベル差検出信号としてD/A変換器13へ出力される。D/A変換器13では図5(d)に示すようにレベル差検出信号がアナログ信号に変換され、また図1の実施例と同様にD/A変換器13の出力は再生信号のサンプリングクロックに対する位相の進み、遅れに応じて反転される。VCO17ではD/A変換器13の出力に応じてクロック信号の周波数が制御され、再生信号をサンプリングするためのサ

ンプリングクロックとして出力される。なお、ここではサンプリングクロックと再生クロックが一致しているため、分周する必要はなく、VCO17のサンプリングクロックがそのまま再生クロックとしてデータ検出回路4へ出力される。このように本実施例においても、図1の実施例と全く同様にデジタル信号処理によってPLLをかけることが可能となり、高速のD/Aコンバータを要することなく再生クロックを抽出することができる。

#### 【0016】

【発明の効果】以上説明したように本発明は、デジタル的に再生信号とサンプリングクロックの位相を比較してPLL回路の機能を持たせることが可能となり、これによって従来のようにデータクロックの10倍以上のクロックを要することなく再生クロックを抽出することができる。従って、情報再生の信号処理をデジタル化した場合に、高速のA/Dコンバータを要することがなく、波形等化回路をデジタル回路で構成した際にアナログ回路に比べて簡単な構成で、かつコスト高になることなく波形等化特性を変えられるという効果がある。

#### 【図面の簡単な説明】

【図1】本発明の情報再生装置の一実施例を示したブロック図である。

【図2】図1のPLL回路の具体的な構成を示したブロック図である。

【図3】図1の実施例の動作を示したタイムチャートである。

【図4】本発明の他の実施例を示したブロック図である。

【図5】図4の実施例の動作を示したタイムチャートである。

【図6】従来例の情報再生装置を示したブロック図である。

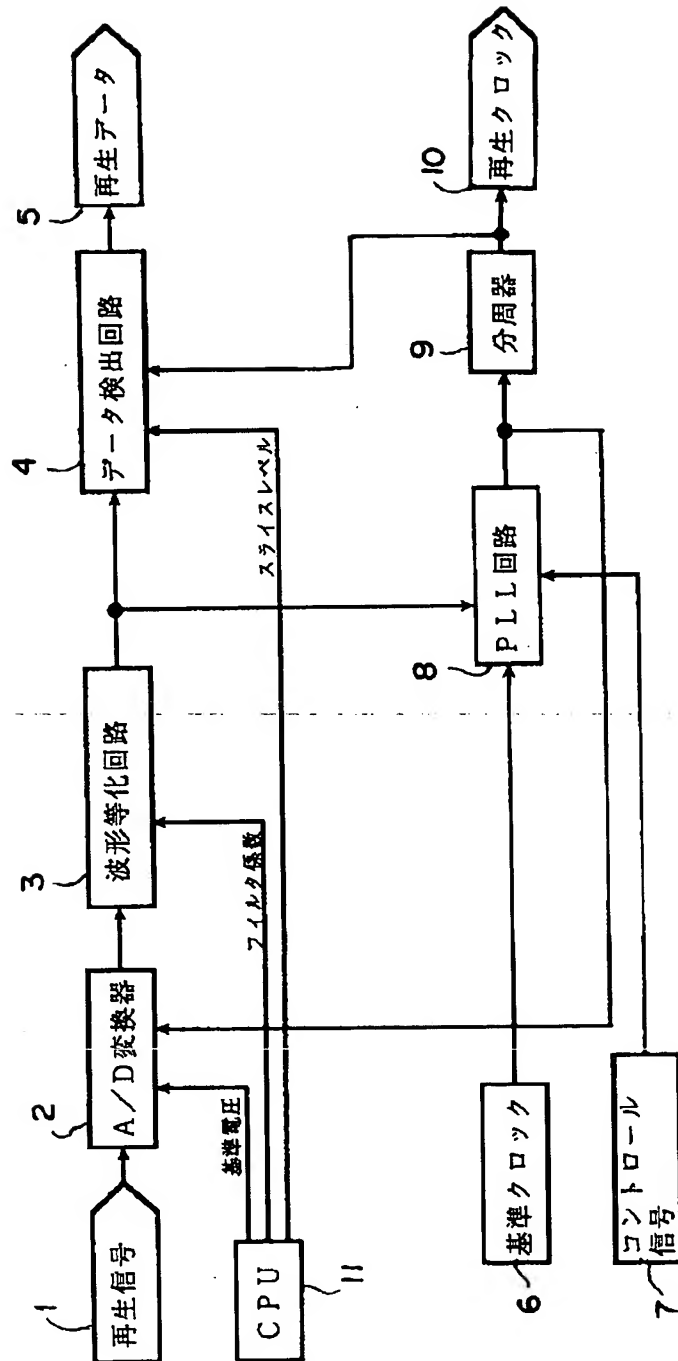
【図7】図6の装置の動作を示したタイムチャートである。

【図8】図6のPLL回路を詳細に示したブロック図である。

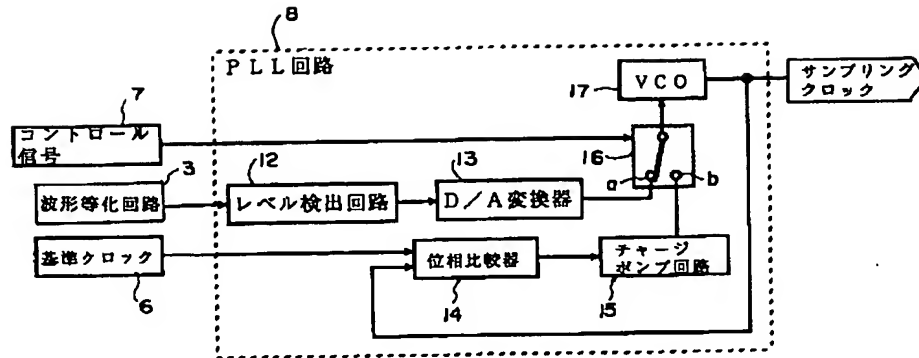
#### 【符号の説明】

- 2 A/D変換器
- 3 波形等化回路
- 4 データ検出回路
- 8 PLL回路
- 9 分周器
- 11 CPU
- 12 レベル検出回路
- 13 D/A変換器
- 14 位相比較器
- 15 チャージポンプ回路
- 16 切換スイッチ
- 17 VCO(電圧制御発振器)

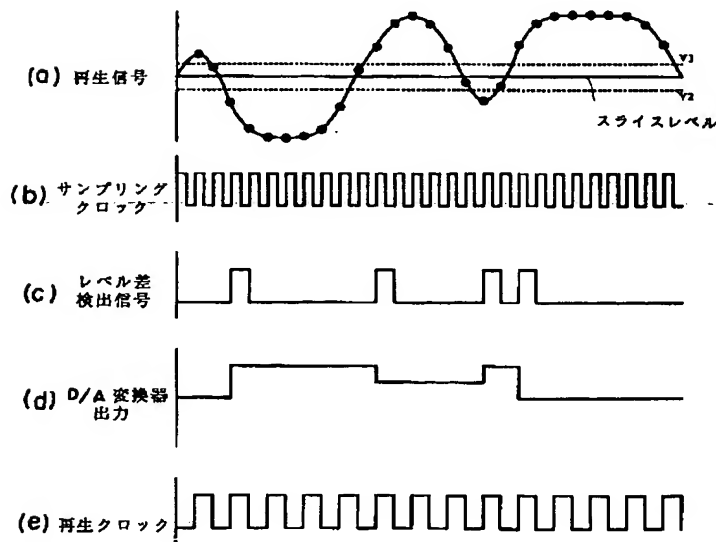
【図1】



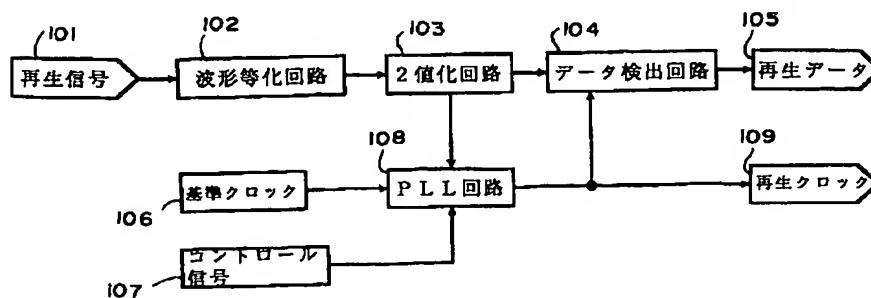
【図2】



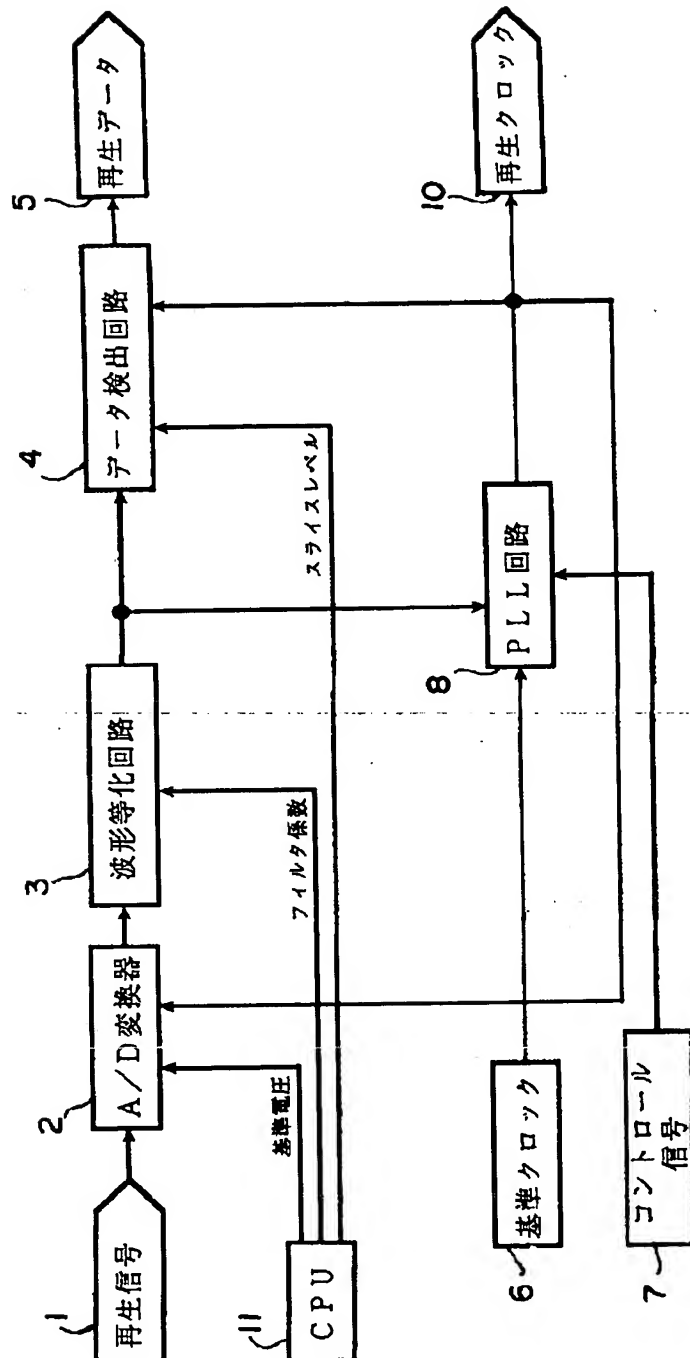
【図3】



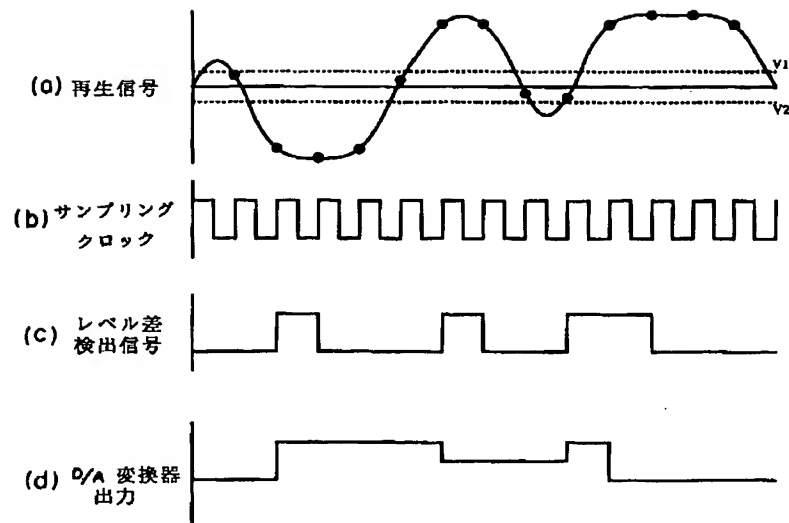
【図6】



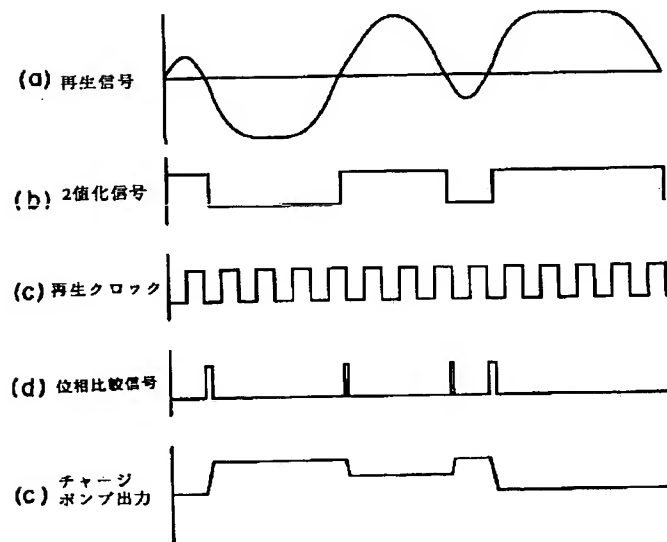
【図4】



【図5】



【図7】





【図8】

